

Entwicklung und Anwendung eines LVDS Sender- Empfänger Paares

von

Marco Wilzbach, Sascha Reinhardt

Technische Informatik, Universität von Heidelberg
26. Oktober 1999

Zusammenfassung

Der Inhalt dieses Dokuments besteht aus zwei Teilen.

- Eine Einführung in LVDS (*Low Voltage Differential Signaling*) und Designvorgaben für die Erstellung von Schaltungen mit LVDS-Leitungen.
- Eine Zusammenfassung über die Entwicklung und Erprobung eines LVDS Senders- Empfängers Paares im Projekt LVDS, das vom 23.08.1999 bis zum 15.10.1999 an der Technischen Informatik, Universität Heidelberg stattfand.

Mitglieder der Projektgruppe:

- Rolf Schneider
- Marco Wilzbach
- Sascha Reinhardt

1 Einführung in LVDS

1.1 Was ist LVDS?

Lvds bedeutet *Low Voltage Differential Signaling (LVDS)*. Das ist eine Möglichkeit schnell Daten zu übertragen mit Hilfe von geringen Spannungsschwankungen an zwei verschiedenen Kabeln (Differenzkabel oder -leitung). Mit dieser Technik sind Geschwindigkeiten von bis zu theoretisch $1,923\text{Gbps}$ möglich wobei eine maximale Datenrate von 655Mbps empfehlenswert ist.

1.2 Wie arbeitet LVDS?

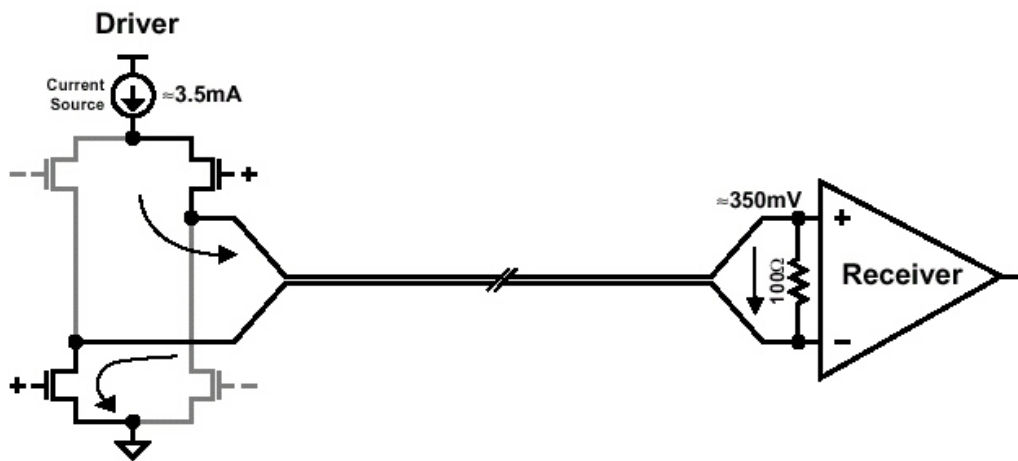


Abbildung 1: Schematisches Diagramm von einem LVDS-Treiber und Empfänger

Der Ausgang des Treibers ist eine Stromquelle ($3,5\text{mA}$), welches eines der Differenzkabel versorgt. Der Empfänger hat einen hohen Eingangswiderstand, so daß der meiste Strom über einen Widerstand (100Ω) zwischen den beiden Differenzkabeln fließt. Über den Widerstand fällt eine Spannung (350mV) ab, die am Empfänger anliegen. Wenn der Treiber seine Polarität ändert, so ändert sich die Richtung des Stromes womit eine logische NULL oder EINS erzeugt werden kann (s. Abbildung 1¹).

1.3 Vorteile von LVDS

LVDS ist nicht so anfällig auf äußere em. Störungen, da eine eine em. Störung auf beide Differenzleiter gleich ankoppelt, um dies zu erreichen wird versucht der

¹Die Abbildungen 1, 2, 3, 4 und 5 sind dem National Semiconductor Dokument *LVDS OWNER'S MANUAL DESIGN GUIDE* entnommen.

Abstand der Differenzleitungen so klein wie möglich zu halten. Dies beeinflusst nicht das Datensignal, da nur die Spannungsdifferenz vom Empfänger registriert wird. Bei Verwendung von LVDS wird auch weniger Rauschen erzeugt, da das magnetische Feld ausgelöscht wird im Gegensatz zu Datenübertragungsarten mit einem Datenkabel.

Der Stromverbrauch bei LVDS-Signalen ist gering über einen weiten Frequenzbereich ($3,5mA * 350mV = 1,2mW$) im Gegensatz zu anderen Datenübertragungsverfahren.

Ein weitere Vorteil besteht darin, daß mehrerer langsame Datenkabel (TTL/CMOS) auf ein LVDS-Kabel gelegt werden können. Dies wurde in diesem Projekt verwirklicht, indem 28 TTL-Leitungen auf 4 LVDS-Leitungen gelegt wurden. Durch diese Methode kann viel Material (Kabel, Pins, Stecker) und Strom gespart werden.

1.4 Konfigurationen mit LVDS

Einige Konfigurationsbeispiele mit LVDS: Die Konfigurationen, die in den Abbil-

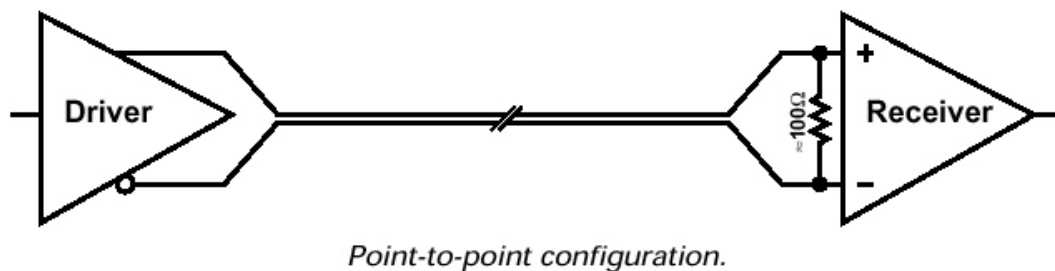
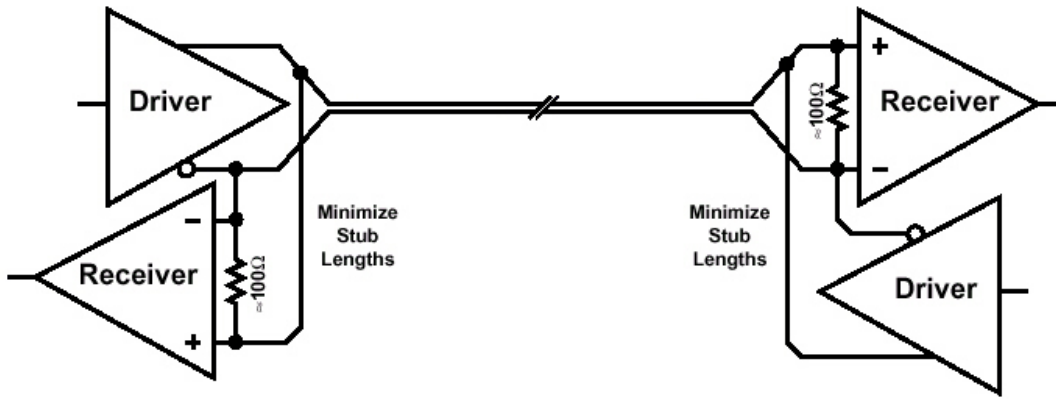


Abbildung 2:

dungen 3 und 4 dargestellt sind, sollten nur bei kurzen Strecken und mit geringen äußeren Störungen verwendet werden, da z.B. bei der bidirektionaler Konfiguration das Signale durch den zweiten Widerstand geschwächt wird. Die Konfiguration in Abbildung 2 ist die bevorzugte Anwendung von LVDS.

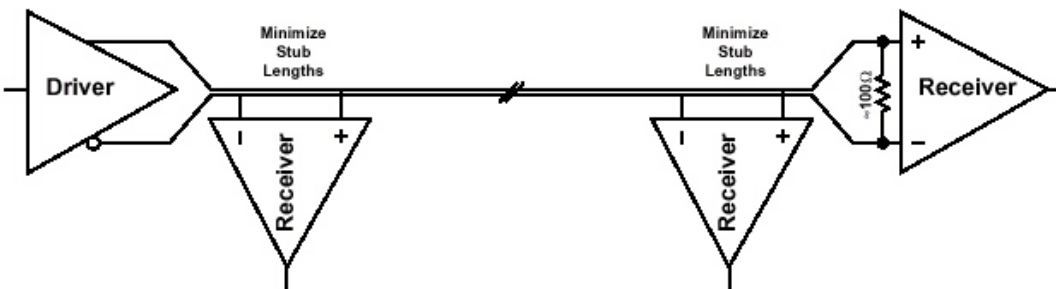
1.5 Anwendungen

Eine Zusammenstellung der möglichen Anwendungen(s. Abbildung 5):



Bi-directional half-duplex configuration.

Abbildung 3:



Multidrop configuration.

Abbildung 4:

PC/Computing	Telecom/Datacom	Consumer/Commercial
Flat panel displays	Switches	Home/commercial video links
Monitor link	Add/drop multiplexers	Set top boxes
SCI processor interconnect	Hubs	In-flight entertainment
Printer engine links	Routers	Game displays/controls
Digital Copiers		
System clustering	(Box-to-box & rack-to-rack)	
Multimedia peripheral links		

Abbildung 5: Liste der Anwendungsbereiche

2 Designregel für das PCB

Hier ist eine Zusammenstellung einiger Designregeln für ein PCB von National Semiconductors (s. Tabelle 1) und ob sie in diesem Projekt eingehalten werden konnten. Die Impedanz der Differenzleitungen beträgt bei diesem Projekt 100Ω .

Regel	Erfüllt / Wertangabe
mindestens 4 -lagiges PCB	Nein /2-lagiges PCB
TTL-Signale von LVDS-Signale trennen	so gut es ging
Bypass-Kondensatoren zwischen Spannung und Masse($0,1\mu F, 0,01\mu F, 0,001\mu F$)	erfüllt
$10\mu F$ Tantal Kondensator bei der Spannungsversorgung	$6,9\mu F$
breite Leiterbahnen für Spannung und Masse	ja
Vermeidung von 90° Ecken, besser 45°	ja
Längendifferenz zwischen Differenzleitungen vermeiden	$max.5mm$
Minimaler Abstand zwischen Differenzleitungen	$8mil$
eine einheitliche Impedanz der Differenzleitungen	ja

Tabelle 1: Designregeln ($1mil = 1/1000inch$)

Die Impedanz der Leiterbahnen wurden nach der Formel von NSC berechnet für Microstrip. Es soll gelten $Z_{DIFF} = 100\Omega$.

$$Z_{DIFF} = 2 \cdot Z_0 \left(1 - 0,48e^{-0,96\frac{s}{h}}\right) \Omega$$

$$Z_0 = \frac{60}{\sqrt{0,475\epsilon_r + 0,67}} \ln \left(\frac{4h}{0,67(0,8 + t)} \right) \Omega$$

Z_{DIFF} = Impedanz der Differenzleiterbahnen
 Z_0 = Impedanz einer einzelnen Leiterbahn
 h = Dicke der Platine
 s = Abstand der Differenzleiterbahnen
 ϵ_r = Dielektrizitätskonstante des Platinenmaterial
 w = Breite der Leiterbahn
 t = Dicke der Leiterbahn

Mit diesen Formeln wurde die Breite der Differenzleiterbahnen auf $25mil$ bestimmt.

3 Bauteile und Schaltpläne

In diesem Abschnitt werden die verwendeten LVDS-Bauteile vorgestellt, sowie die Schaltpläne vom Sender und Empfänger.

3.1 Bauteile

Als Sender wurde DS90CR287 von NSC verwendet. Er konvertiert 28 3,3V-TTL-Signale in 4 LVDS-Signale. Der Frequenzbereich für die Clock liegt zwischen $20MHz - 75MHz$, damit können also $2,1Gbps$ übertragen werden. Er arbeitet mit einer Versorgungsspannung von 3,3V. Als Empfänger wurde das passende Gegenstück DS90CR288 verwendet, der aus den 4 LVDS-Signalen wieder 28 3,3V-TTL-Signale macht (s. Abbildung 6²).

Block Diagrams

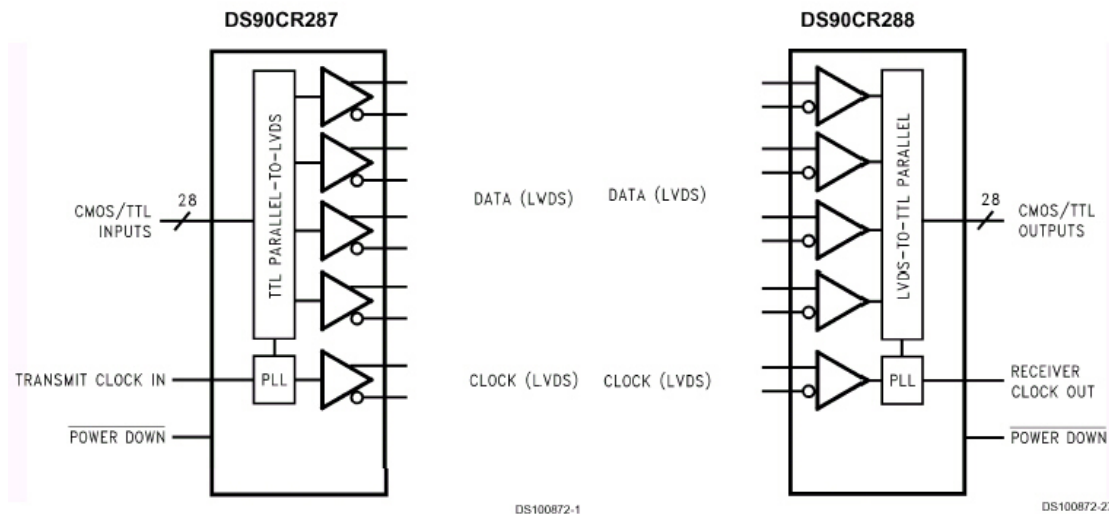


Abbildung 6: Block-Diagramm des Sender-Empfänger-Paares

3.2 Schaltpläne

Schaltpläne vom Sender(s. Abbildung 7) und Empfänger(s. Abbildung 8) der Version2. Die Schaltpläne der Version1 sind nicht dabei, da diese praktisch identisch sind vom Schaltbild mit der Version2. Da es für das spätere Verständnis wichtig ist, sind hier noch die Pinbelegung der Eingangssignale am Sender für Version1 und Version2 hinzugefügt.

²Die Abbildung wurde aus dem Datenblatt entnommen.

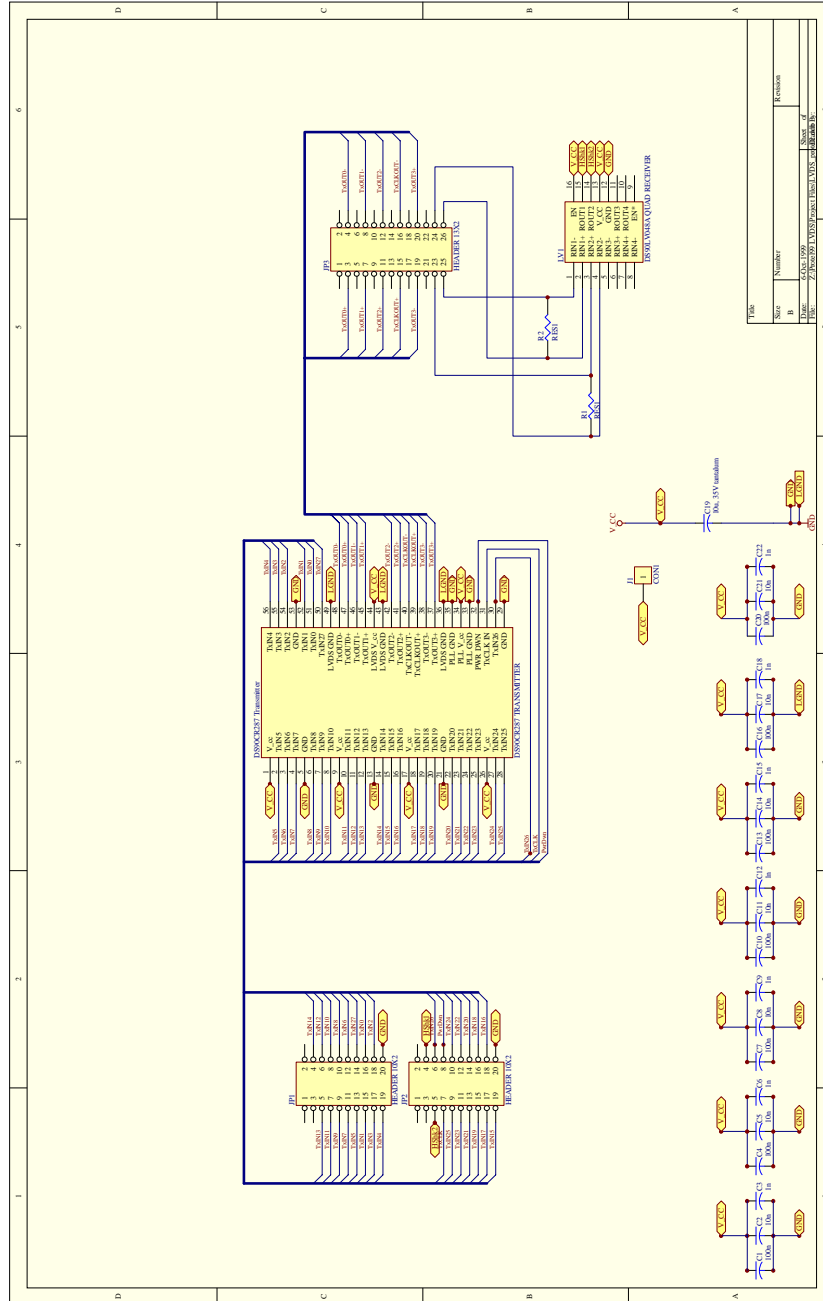


Abbildung 7: Schaltplan des Senders Version2

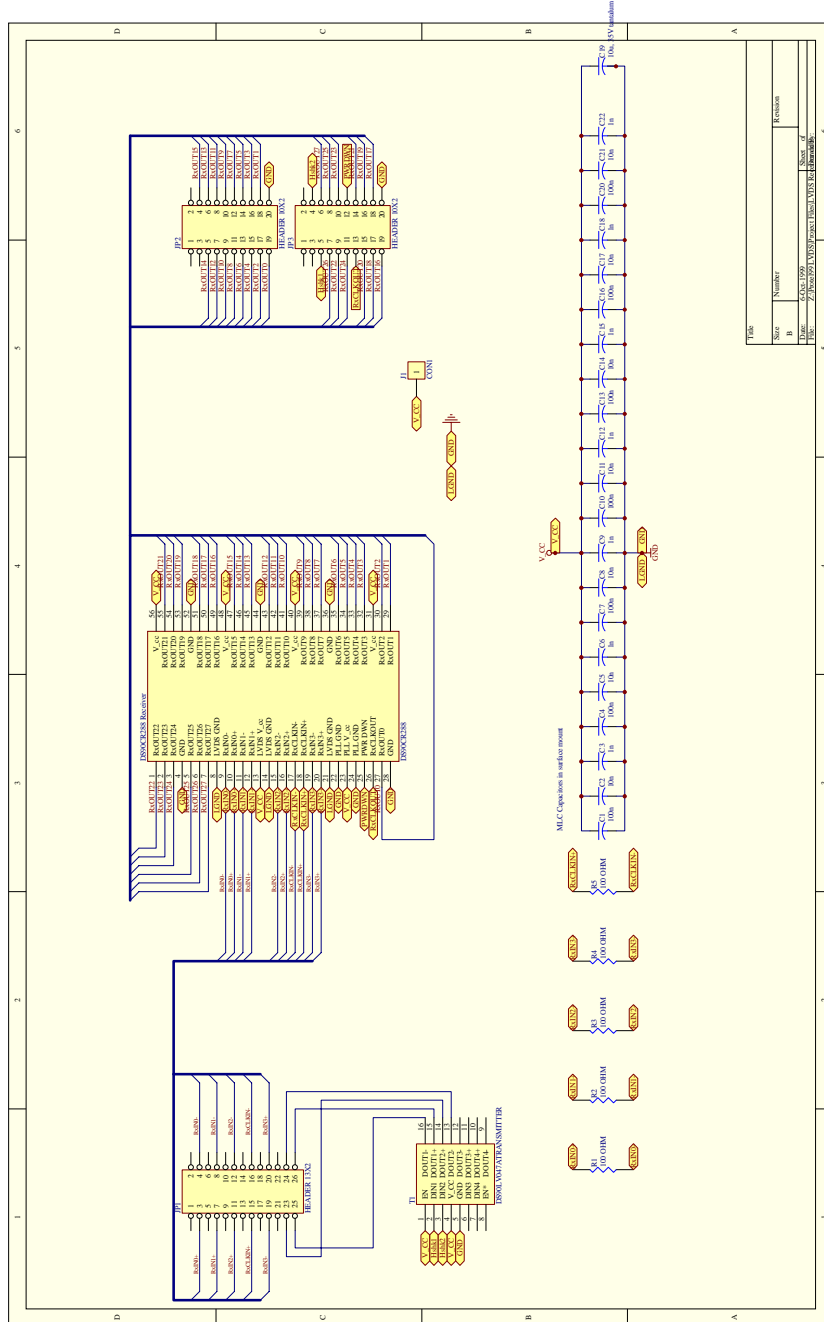


Abbildung 8: Schaltplan des Empfängers Version2

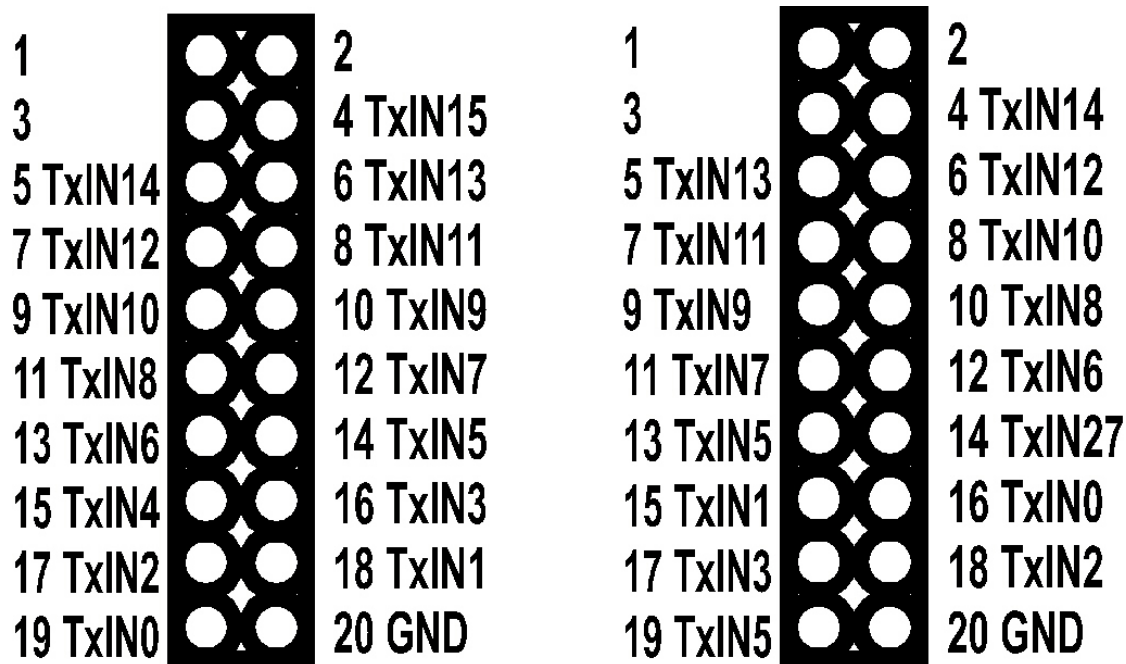


Abbildung 9: Pinbelegung vom Sender am JP1 (links: Version1, rechts: Version2)

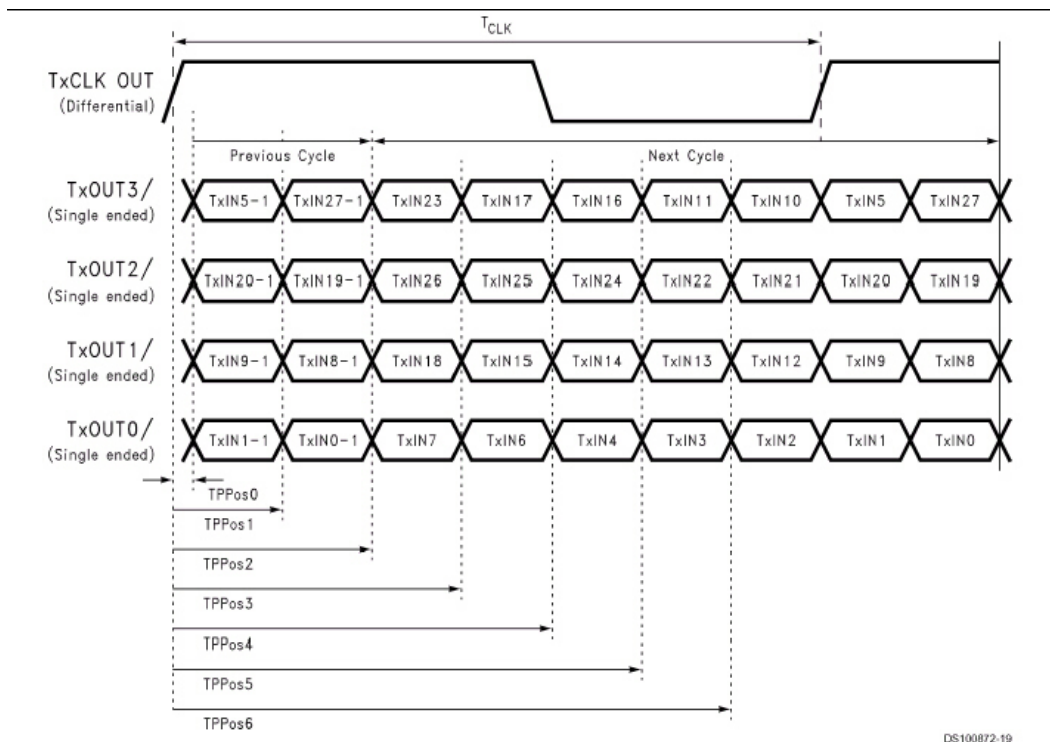


Abbildung 10: Reihenfolge der Eingangssignale an den Treibern

4 Versuche und Ergebnisse

Bei den Versuchen wurden zwei verschiedene Bauarten des Senders und Empfängers verwendet. Der Sender und Empfänger, die am 14.09.1999 gefertigt wurden, werden als Version1 bezeichnet. Der Sender und Empfänger, die am 28.09.1999 gefertigt wurden, werden als Version2 bezeichnet. Der Unterschied zwischen Version1 und Version2 sind nicht besonders groß. Die Schaltpläne für Version1 und Version2 sind praktisch identisch.

4.1 Versuchsaufbau 1

Bei der ersten richtigen Messungen wurde die Clock(CLK) auf $33MHz$ gestellt. Die Orcakarte zählte von $0 \dots 2^{28}$. TxIN0 hatte also eine Datenrate von $33Mbps$. Die Messungen wurde abgebrochen, als bemerkt wurde das der Sender zu warm wurde. Bei einer Messungen des Stromes wurden ungefähr $250mA$ gemessen, also das 10-fache des erlaubten Stromes. Es wurde weiter festgestellt, das der hohe Stromverbrauch (ab jetzt Stromfraß) nur auftrat, wenn TxIN0 oder TxIN1 mit einer Datenrate von $33Mbps$ arbeiteten. TxIN2 konnte problemlos mit einer Datenrate von $33Mbps$ benutzt werden. Wurden die Anschlüsse TxIN0 und TxIN1 an Positionen gesetzt bei denen die Datenrate nicht so hoch war, arbeiteten sie auch normal. Der Aufbau für diesen Versuch ist in Abbildung 11 gezeigt.

4.2 Versuchsaufbau 2

Dieser Versuchsaufbau wurde gemacht um am dem Eingang TxIN0 eine kontinuierliche Änderung der Frequenz, d.h. eine kontinuierliche Änderung der Datenrate, zu erzeugen. Bei einer $CLK = 15MHz$ konnte TxIN0 ohne Probleme mit einer Datenrate von $15Mbps$ arbeiten. Der Stromverbrauch war an beiden Geräten normal. Der Aufbau für diesen Versuch ist in Abbildung 12 gezeigt. Die Frequenzen

	Sender	Empfänger
Spannung [V]	$3,298 \pm 0,0005$	$3,300 \pm 0,0005$
Strom [mA]	$24 \pm 0,5$	18 ± 1

Tabelle 2: Stromverbrauch des Senders und Empfängers bei einem Signal

der CLK und TxIN0 waren ein ganzzahliges Vielfaches von einander. Es konnten auch problemlos TxIN0-TxIN15 gleichzeitig betrieben werden mit einer Datenrate von je $15Mbps$.

4.3 Versuchsaufbau 3

Es wurde jetzt dasselbe gemacht, wie im Versuchsaufbau 3, nur mit dem Unterschied das die Orcakarte die Daten erzeugte. Der Aufbau für diesen Versuch ist

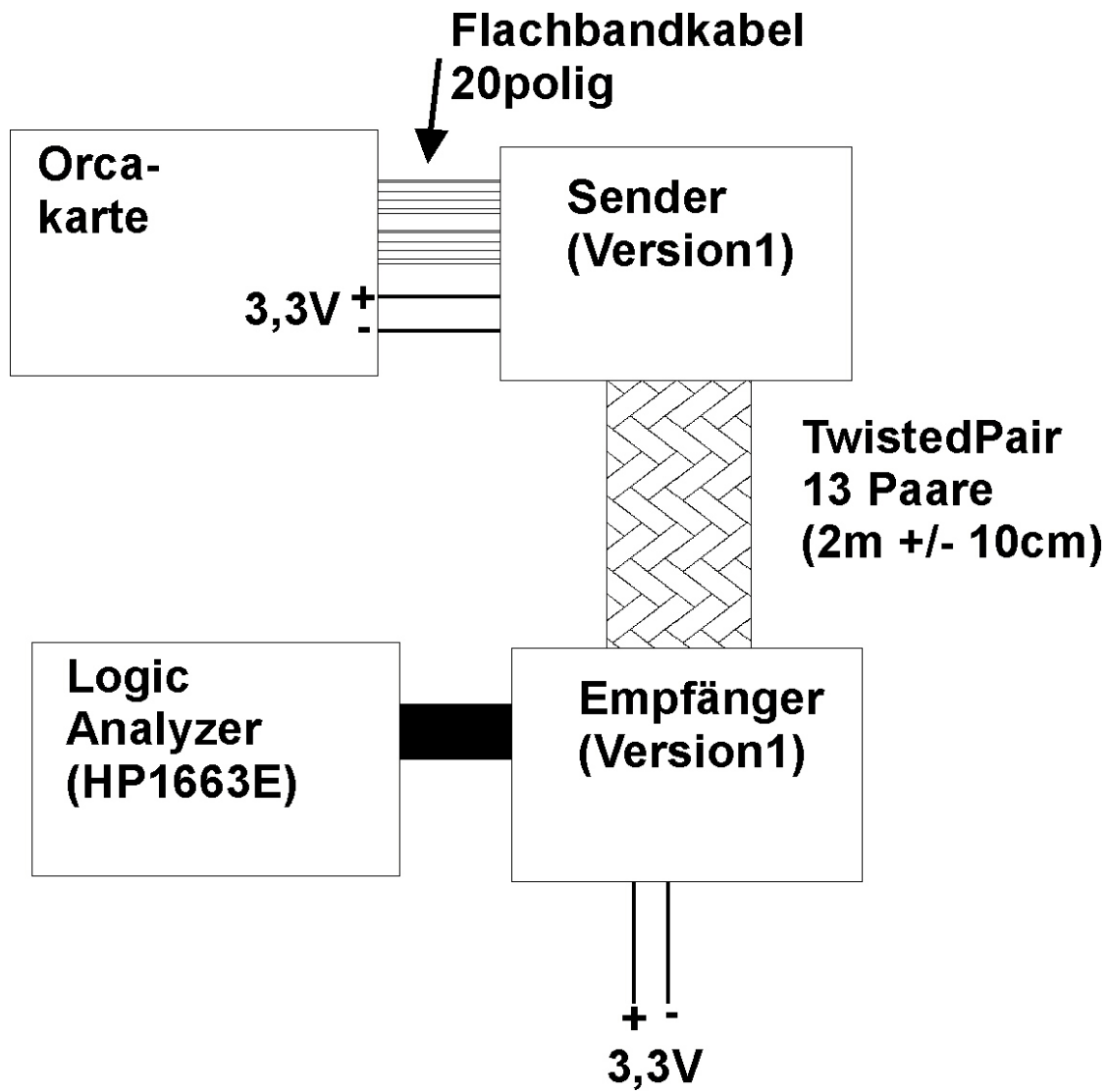


Abbildung 11: Schematischer Aufbau des Versuches 1

	Sender	Empfänger
Spannung [V]	$3,297 \pm 0,0005$	$3,302 \pm 0,0005$
Strom [mA]	$26 \pm 0,5$	25 ± 1

Tabelle 3: Stromverbrauch des Senders und Empfängers bei 16 Signalen

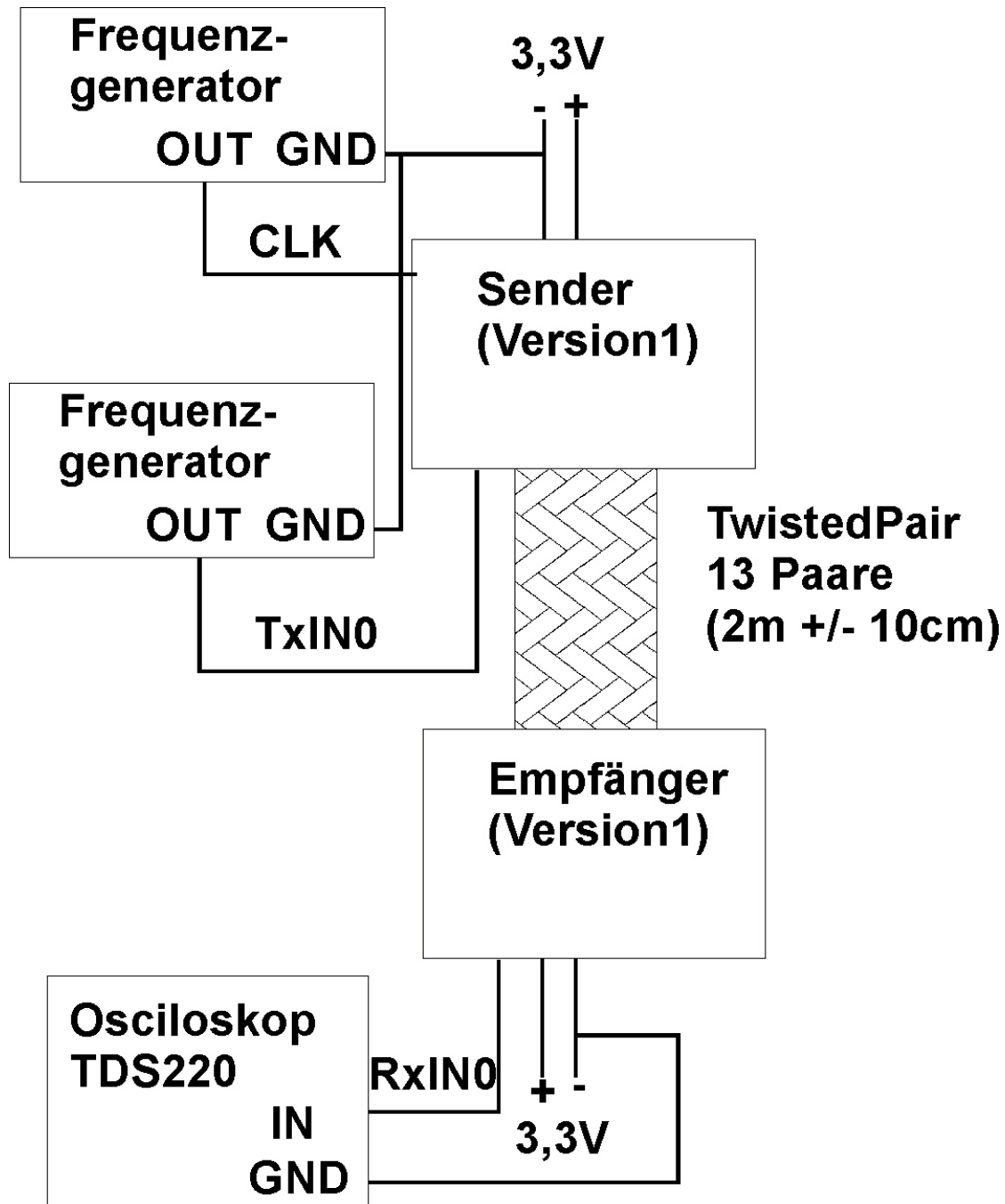


Abbildung 12: Schematischer Aufbau des Versuches 2

in Abbildung 13 gezeigt. Hier konnte bei einer $CLK = 15MHz$ und einer Datenrate von $15Mbps$ Stromfraß an den Eingängen TxIN0, TxIN1 und TxIN8 erzeugt werden. Bei einer $CLK = 6MHz$ gab es nur noch Stromfraß bei TxIN0.

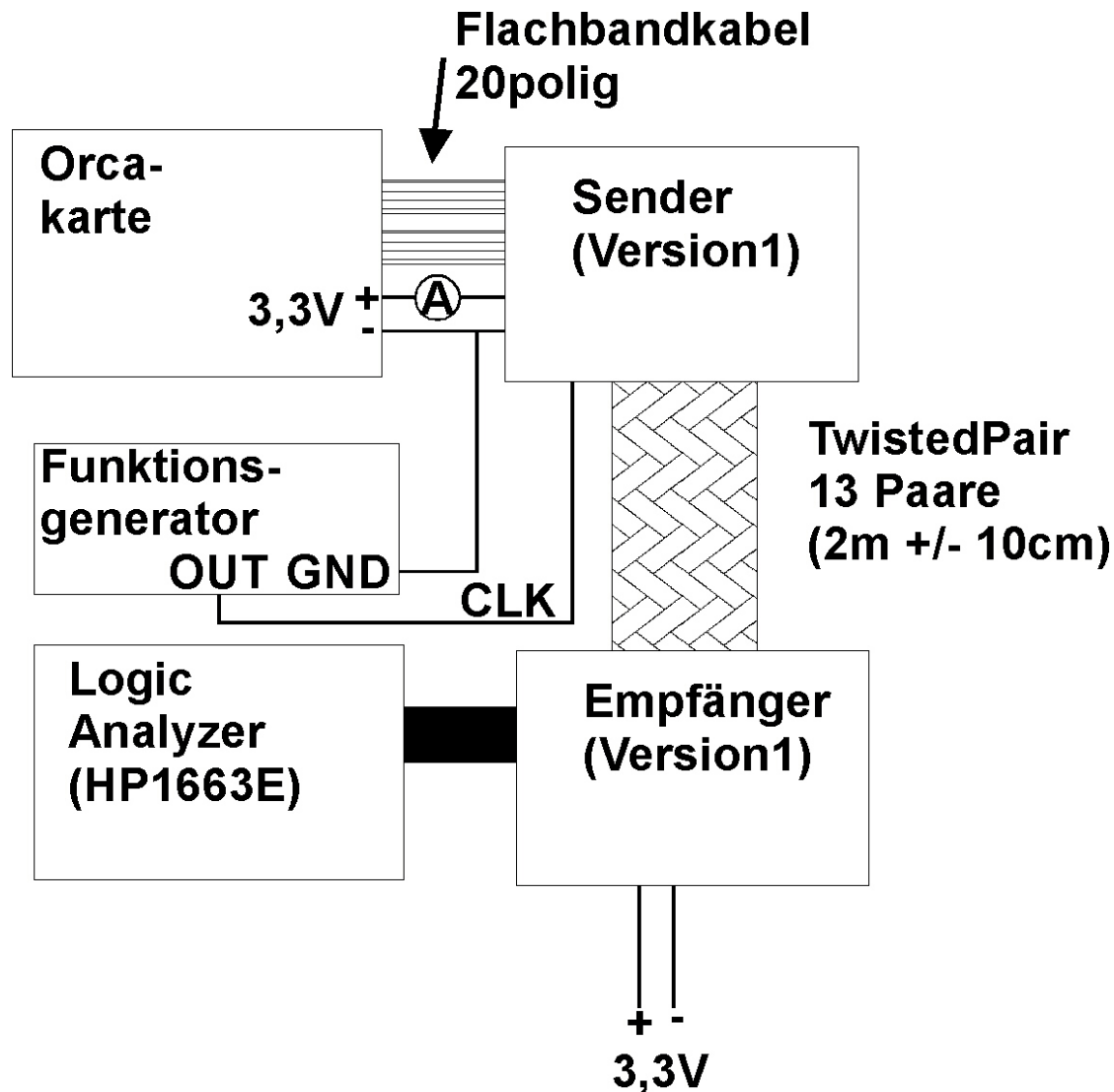


Abbildung 13: Schematischer Aufbau des Versuches 3

4.4 Versuchsaufbau 4

Da der Stromfraß nur auftrat, wenn die Orca-karte die Daten produzierte, sollte mit diesem Versuch geklärt werden, ob die Orca-karte am Stromfraß schuld war. Dazu wurde einfach der Sender Version 2 an die Orca-karte angeschlossen, die eine ganz andere Pinbelegung hatte als der Sender Version 1 (s. Abbildung 9). Der Empfänger wurde nicht angeschlossen, da der Stromfraß auch auftrat, wenn der

Empfänger nicht angeschlossen war. Der Stromfraß trat auch dann auf, wenn die CLK garnicht betrieben wurde und das $\overline{POWERDOWN}$ nicht gesetzt wurde, was eigentlich notwendig ist, damit der Sender überhaupt arbeiten kann. Der Aufbau für diesen Versuch ist in Abbildung 14 gezeigt. Auch hier trat Stromfraß bei den

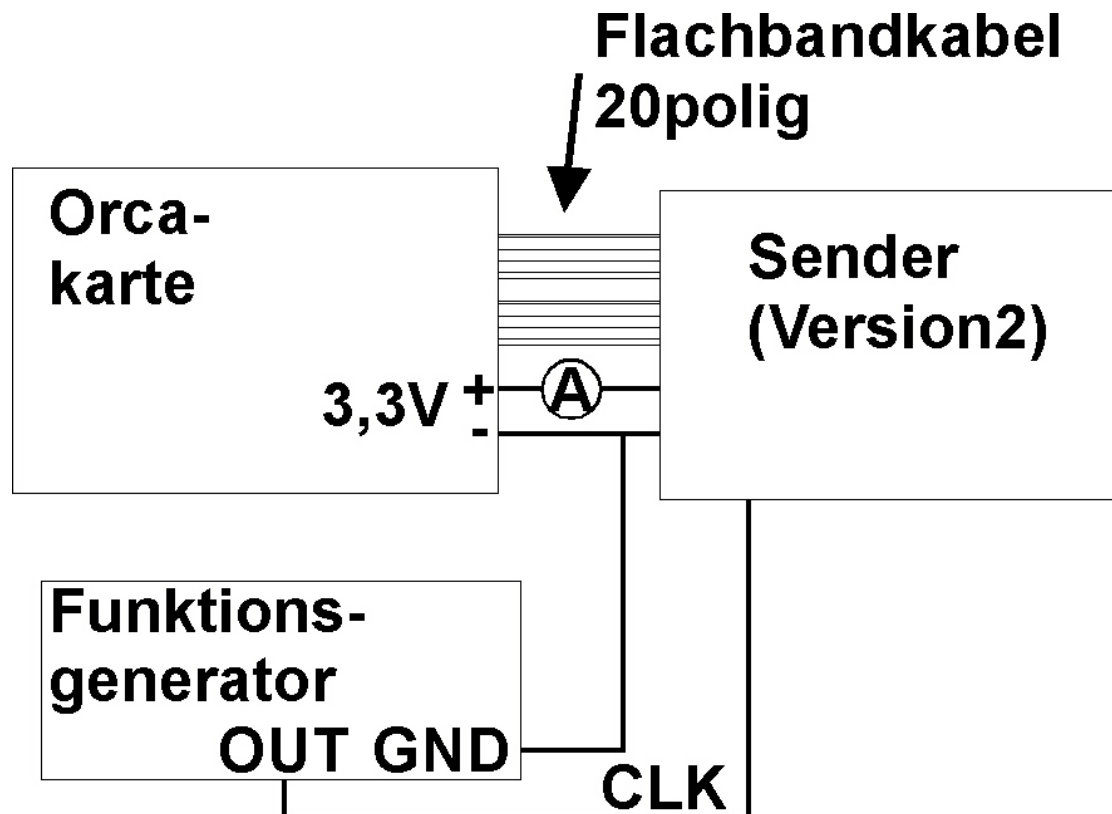


Abbildung 14: Schematischer Aufbau des Versuches 4

Eingängen TxIN0, TxIN1 und TxIN8 auf, womit gezeigt wurde, dass die Orcakarte nicht daran Schuld sein konnte.

Das Problem bestand also darin, daß es einen Versuchsaufbau (2) gab an dem der Sender funktionierte und einen Versuch, der zeigte, daß nicht die Orcakarte am Stromfraß schuld war, da dann bei diesem Versuch andere Eingänge vom Stromfraß betroffen gewesen wären.

4.5 Versuchsaufbau 5

In diesem Versuch wurden die Unterschiede zwischen Versuchsaufbau 2 und Versuchsaufbau 4 immer weiter reduziert. Als erstes wurde die Stromversorgung von der Orcakarte auf eine externe Spannungsquelle gelegt. Der Aufbau für diesen Versuch ist in Abbildung 15 gezeigt. Auch hier trat der Stromfraß an den schon bekannten Eingängen auf.

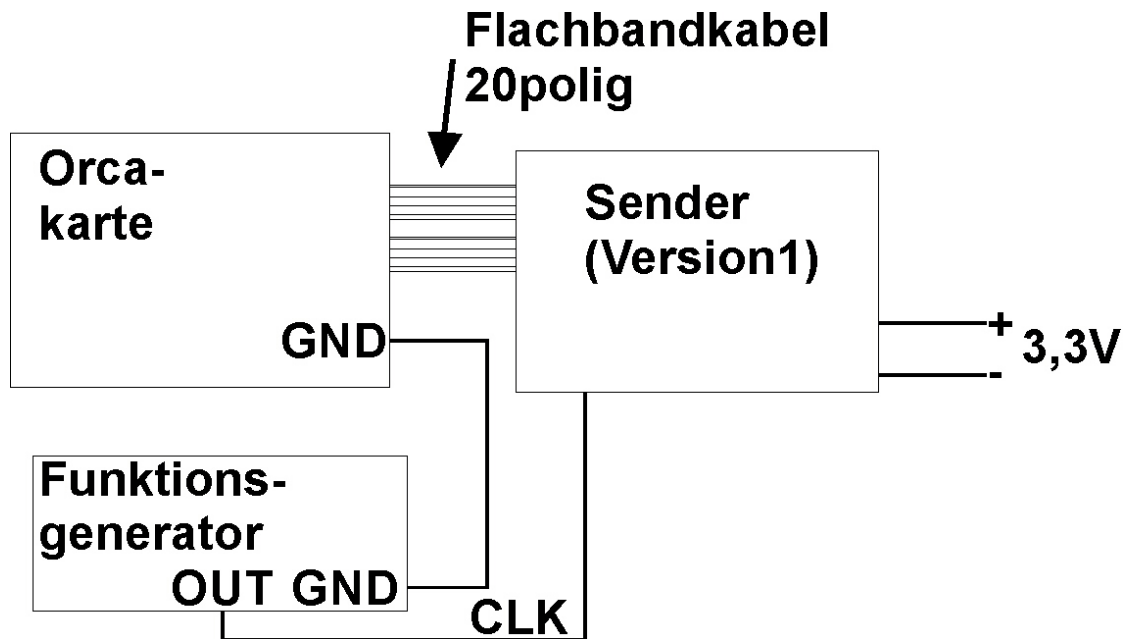


Abbildung 15: Schematischer Aufbau des Versuches 5

Nun wurde der letzte veränderliche Unterschied beseitigt, indem man statt dem Flachbandkabel einzelne Kabel zur Datenübermittlung verwendete. Der Stromfraß fand **nicht** mehr statt.

4.6 Versuchsaufbau 6

In diesem Versuchsaufbau wurde als Daten- und CLK-Generator der HP Pattern Generator verwendet. Es wurde kein Flachbandkabel verwendet. Die Spannungsversorgung für Sender Version2 und Empfänger Version2 kam von einer externen Spannungsquelle.

Auch hier wurden Stromfresser gefunden, wobei es diesmal nicht von dem benutzten Eingang abhing sondern von der Datenrate und die Anzahl der angeschlossenen Eingänge pro Treiber (s. Tabelle 4 und Abbildung 10).

Anzahl der angeschlossenen Eingänge	Stromfraß
1 (Treiber TxOUT0)	nein
2 (Treiber TxOUT0)	nein
4 (Treiber TxOUT0)	nein
5 (Treiber TxOUT0)	ja
5 (4 auf Treiber TxOUT0, 1 auf TxOUT1)	nein

Tabelle 4: Stromfraß in Abhängigkeit der angeschlossenes Eingänge und verwendeten Treibers ($CLK = 50MHz$)

Um das merkwürdige Verhalten zu erklären wurden Messungen vom Rauschen zwischen der Spannungsversorgung V_{cc} und der Masse GND gemacht. Diese Messungen waren nicht reproduzierbar und damit nicht verwendbar. Die Messungen schwankten von Tag zu Tag von $0,08V_{SS}$ bis $1,4V_{SS}$ ($CLK = 25MHz$, alle 28 Eingänge synchron aktiv), wobei der Versuchsaufbau nicht geändert wurde. Diese wilden Änderungen konnten noch nicht zufriedenstellend erklärt werden. Es gibt aber ein Paar Ansatzpunkte:

- die Schwingungen des HP16522A koppeln anscheinend leicht in das Stromnetz zurück an dem auch die Spannungsversorgung hängt.
- es wurde nicht immer darauf geachtet ob das Messkabel weit genug von Datenleitungen entfernt war.
- es konnte gezeigt werden, daß das Rauschen von der Position des Masseanschluß abhing.
- bei Verwendung eines anderen Oszilloskops ging das Rauschen zurück, was darauf hindeutet, daß das verwendete Oszilloskop, das für die Messungen benutzt wurde, durch den HP16522A gestört wurde. Beide Geräte hingen an derselben Stromversorgung.

Bei der Überprüfung der produzierten Signale des HP16522A wurde festgestellt, daß diese Signale deutlich über der $3,3V$ Marge lagen. In der Aufnahme 16 ist dies dargestellt. Durch einen 100Ω Widerstand, der in Reihe zum Signal geschaltet wurde, wurde das Signal soweit gedämpft, das es besser in der $3,3V$ Marge liegt. In der Aufnahme 17 ist dies dargestellt. Mit der Dämpfung konnten 5 Eingangssignale, die an einem Treiber hingen, mit einer $CLK = 50MHz$ synchron betreiben werden ohne das Stromfraß auftrat.

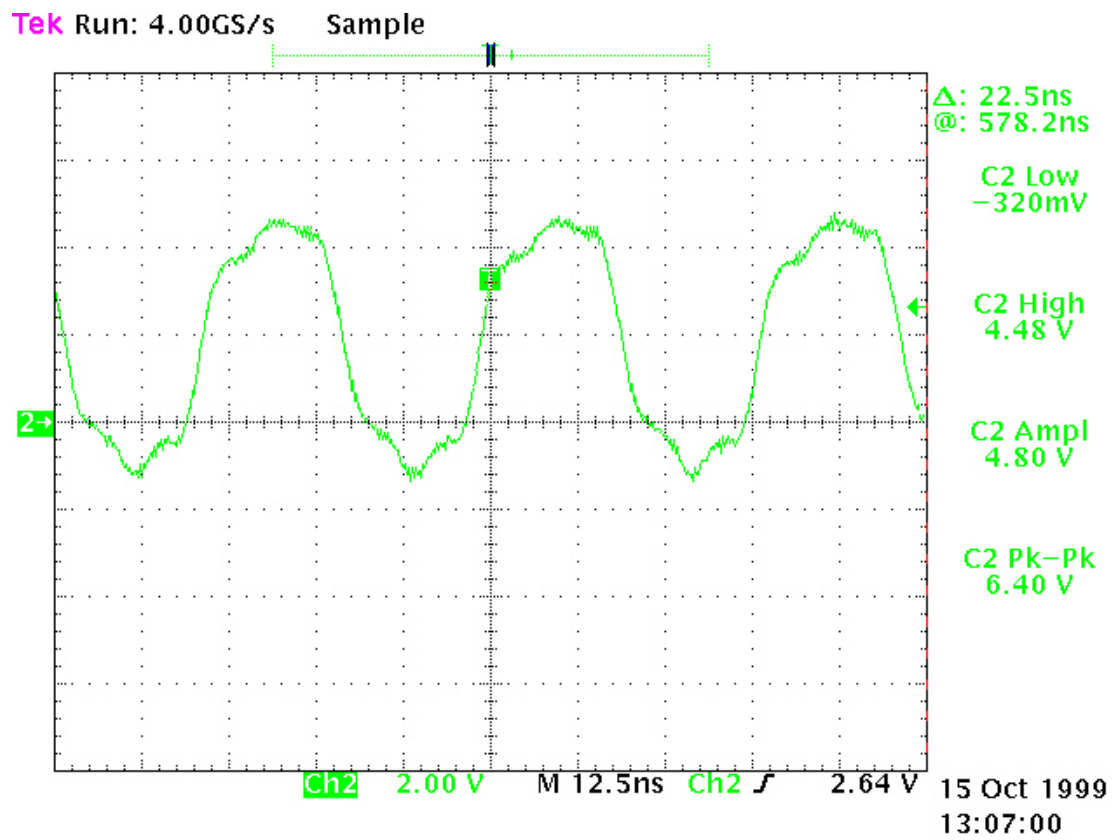


Abbildung 16: Ausgangssignal des HP16522A

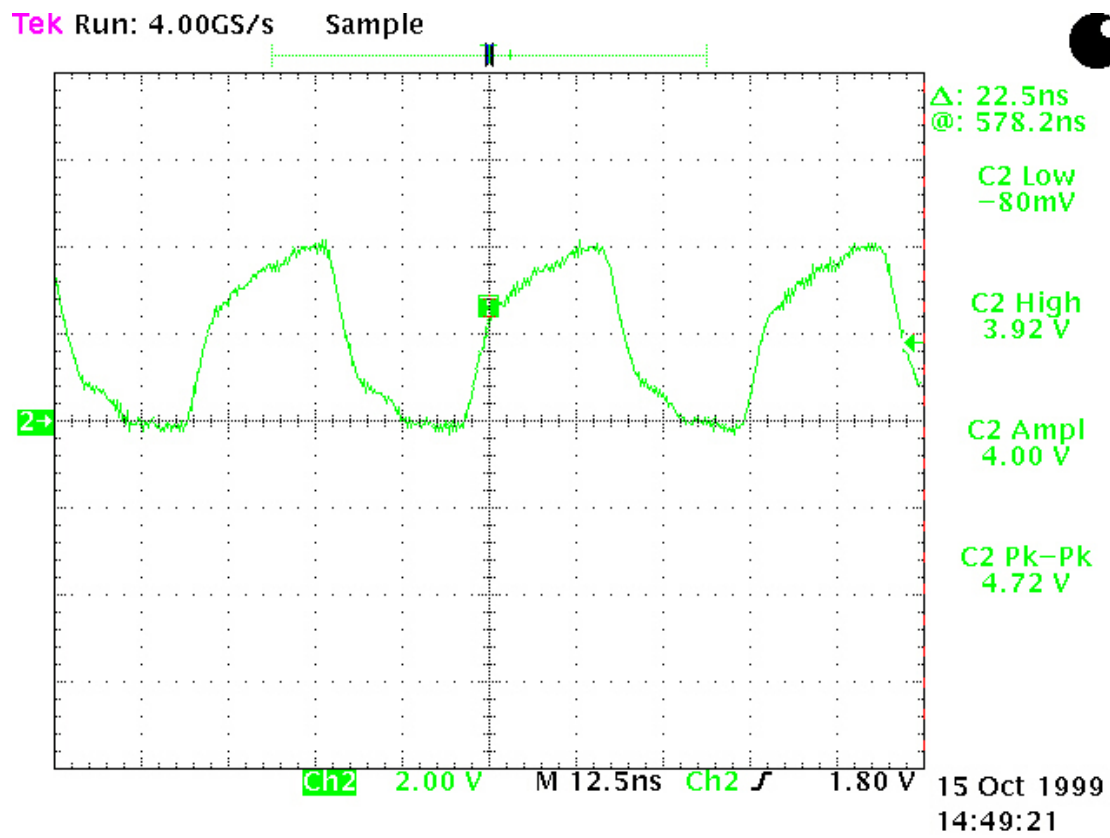


Abbildung 17: Ausgangssignal des HP16522A mit 100Ω Dämpfung

5 Zusammenfassung

Durch die Messungen konnte folgendes festgestellt werden:

1. Stromfraß trat nur an bestimmten Eingängen auf, wenn ein Flachbandkabel für die Eingangssignale verwendet wurde (warum?).
2. Stromfaß kann anscheinend beseitigt werden durch Dämpfung der Eingangssignale.